

1/3/3 (Item 3 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

010363823 \*\*Image available\*\*  
WPI Acc No: 1995-265136/199535  
XRPX Acc No: N95-204016

Injection locked oscillator for microwave band - has amplifier connected  
to four port network receiving injection signal and having one way paths  
from each input port to both output ports

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE )  
Inventor: TOKUMITSU T  
Number of Countries: 005 Number of Patents: 005  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 665652	A1	19950802	EP 95400171	A	19950126	199535	B
JP 7221546	A	19950818	JP 9424908	A	19940128	199547	
US 5546056	A	19960813	US 95378952	A	19950127	199638	
EP 665652	B1	20010328	EP 95400171	A	19950126	200118	
DE 69520459	E	20010503	DE 620459	A	19950126	200132	
			EP 95400171	A	19950126		

Priority Applications (No Type Date): JP 9424908 A 19940128  
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 665652	A1	E	15	H03L-007/24	
Designated States (Regional): DE FR GB					
JP 7221546	A		8	H03B-005/12	
US 5546056	A		12	H03B-005/00	
EP 665652	B1	E		H03L-007/24	
Designated States (Regional): DE FR GB					
DE 69520459	E			H03L-007/24	Based on patent EP 665652

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-221546

(43)Date of publication of application : 18.08.1995

(51)Int.Cl.

H03B 5/12  
 H03F 3/60  
 H03L 7/24  
 // H03F 1/42

(21)Application number : 06-024908

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 28.01.1994

(72)Inventor : TOKUMITSU TSUNEO

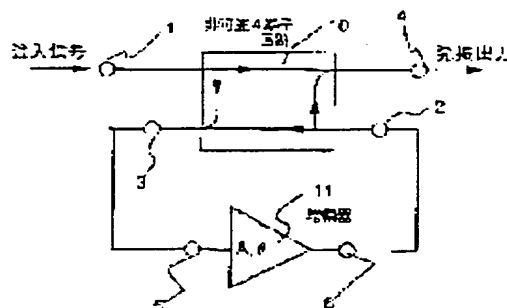
## (54) INJECTION SYNCHRONIZATION OSCILLATOR

## (57)Abstract:

PURPOSE: To eliminate the need for a  $1/4$  wavelength line and a ferrite and to attain miniaturization through circuit integration by forming the oscillator circuit with transistors (Trs) only or mainly employing Tgs.

CONSTITUTION: An output noise of an amplifier fed to a terminal 2 of an irreversible 4-terminal circuit 10 is output terminals 3, 4, and an output signal from the terminal 3 is given to an amplifier 11, in which the signal is amplified and given to the terminal 2. Thus, an external feedback circuit is formed between an input terminal and an output terminal of the amplifier 11, and the entire circuit excites a free-oscillation signal at a frequency whose phase rotation is  $360^\circ$  at a loop gain of one or over. In this case, an input signal to a terminal 1 is injected to the oscillator loop via the terminal 3, but the signal is not delivered to the terminal 1 in the electric behavior in the loop because of the irreversible characteristic of an input delivery section of the circuit 10 and the isolation between the input terminals 1, 2.

Furthermore, the effect of a load is not delivered onto the oscillation loop connecting to the terminal 4 because of the isolation between the output terminals 3 and 4. The irreversible characteristic is realized over an ultrawide band from DC to its cut-off frequency by means of Trs and the circuit integration is facilitated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平7-221546

(43) 公開日 平成7年(1995)8月18日

(51) Int. Cl. <sup>6</sup>	識別記号	F 1
H03B 5/12	Z 8943-5J	
H03F 3/60		
H03L 7/24	9182-5J	
// H03F 1/42	8943-5J	

審査請求 未請求 請求項の数 5 F D (全 8 頁)

(21) 出願番号 特願平6-24908

(22) 出願日 平成6年(1994)1月28日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 徳満 恒雄

東京都千代田区内幸町一丁目1番6号日本

電信電話株式会社内

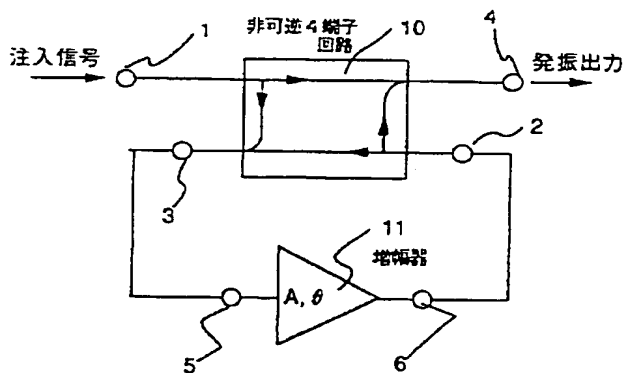
(74) 代理人 弁理士 山本 恵一

(54) 【発明の名称】 注入同期発振器

(57) 【要約】

【目的】 半導体素子のみで構成可能で外部回路の影響を受けず広い周波数範囲の注入信号に同期可能な注入同期発振器を提供することを目的とする。

【構成】 第1及び第2の入力端子(1, 2)と第1及び第2の出力端子(3, 4)を有し、第1の入力端子(1)から第1の出力端子(3)及び第2の出力端子(4)への信号伝達が非可逆的であり、第2の入力端子(2)から第1の出力端子(3)及び第2の出力端子(4)への信号伝達が非可逆的であり、第1の入力端子(1)と第2の入力端子(2)の間及び第1の出力端子(3)と第2の出力端子(4)の間は電氣的にアイソレートされた非可逆4端子回路(10)と、前記第1の出力端子(3)に入力端を接続し、前記第2の入力端子(2)に出力端を接続する、前記4端子回路の動作周波数帯域の少なく共一部の帯域で動作する増幅器(11)とを有し、前記第1の入力端子(1)に注入信号を入力し、前記第2の出力端子(4)から発振出力を得る。



本発明の基本構成図

## 【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の入力端子と第 1 及び第 2 の出力端子を有し、第 1 の入力端子から第 1 の出力端子及び第 2 の出力端子への信号伝達が非可逆的であり、第 2 の入力端子から第 1 の出力端子及び第 2 の出力端子への信号伝達が非可逆的であり、第 1 の入力端子と第 2 の入力端子の間及び第 1 の出力端子と第 2 の出力端子の間は電気的にアイソレートされた非可逆 4 端子回路と、前記第 1 の出力端子に入力端を接続し、前記第 2 の入力端子に出力端を接続する、前記 4 端子回路の動作周波数帯域の少なく共一部の帯域で動作する増幅器とを有し、前記第 1 の入力端子に注入信号を入力し、前記第 2 の出力端子から発振出力を得ることを特徴とする注入同期発振器。

【請求項 2】 複数の出力端を有し注入信号を受容する出力分岐増幅器を有し、各出力端を各々別の注入同期発振器の前記第 1 の入力端子に接続することを特徴とする、請求項 1 記載の注入同期発振器。

【請求項 3】 前記非可逆 4 端子回路が 4 個の非可逆増幅器を有し、各々、第 1 の入力端子と第 1 の出力端子の間、第 1 の入力端子と第 2 の出力端子の間、第 2 の入力端子と第 1 の出力端子の間、及び第 2 の入力端子と第 2 の出力端子の間に挿入されることを特徴とする請求項 1 記載の注入同期発振器。

【請求項 4】 前記非可逆 4 端子回路が 4 個のゲート接地 FET を有し、第 1 のゲート接地 FET のソースと第 2 のゲート接地 FET のソースとを前記第 1 の入力端子に接続し、第 3 のゲート接地 FET のソースと第 4 のゲート接地 FET のソースとを前記第 2 の入力端子に接続し、第 1 のゲート接地 FET のドレインと第 3 のゲート接地 FET のドレインとを前記第 2 の出力端子に接続し、第 2 のゲート接地 FET のドレインと第 4 のゲート接地 FET のドレインとを前記第 1 の出力端子に接続したことを特徴とする請求項 1 記載の注入同期発振器。

【請求項 5】 注入同期発振器と出力分岐増幅器との組合体を複数個有し、

各注入同期発振器は、第 1 及び第 2 の入力端子と第 1 及び第 2 の出力端子を有し、第 1 の入力端子から第 1 の出力端子及び第 2 の出力端子への信号伝達が非可逆的であり、第 2 の入力端子から第 1 の出力端子及び第 2 の出力端子への信号伝達が非可逆的であり、第 1 の入力端子と第 2 の入力端子の間及び第 1 の出力端子と第 2 の出力端子の間は電気的にアイソレートされた非可逆 4 端子回路と、前記第 1 の出力端子に入力端を接続し、前記第 2 の入力端子に出力端を接続する、前記 4 端子回路の動作周波数帯域の少なく共一部の帯域で動作する増幅器とを有し、前記第 2 の出力端子から発振出力を得、

各出力分岐増幅器は複数の出力端を有し、ひとつの出力端を当該組合体の注入同期発振器の第 1 の入力端子に接続し、別の出力端を別の組合体の出力分岐増幅器の入力

に接続し、第 1 の組合体の出力分岐増幅器の入力には注入信号を入力することを特徴とする、集合注入同期発振器。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】本発明は、IC 化に適したマイクロ波注入同期発振器に関するものである。

## 【 0 0 0 2 】

【従来の技術】注入同期発振器とは、周波数  $f_0$  で自由発振している発振器に、 $f_0$  に近い  $f_i$  なる周波数の小さな信号を注入することにより、発振周波数が注入信号に引き込まれて  $f_i$  になる（同期する）という動作の発振器である。また、自由発振周波数の整数分の 1 付近の周波数（サブハーモニック）を注入すると自由発振周波数に近い周波数で高安定・低位相雑音の発振出力を得ることができることから、効率のよい逡倍器でもある。以下、注入同期発振器の動作原理と従来技術について述べる。

【 0 0 0 3 】周波数  $f_0$  で自由振動している発振器に外部から強制的に信号を加えると、この回路では自由発振周波数と強制信号の周波数のうねりが発生するが、やがてこのうねりは零となり自由発振周波数は外部から注入された強制信号の周波数に同期される。一般に、注入同期発振器の周波数引込範囲  $\Delta f$  は次式で与えられる。

## 【 0 0 0 4 】

## 【数 1】

$$\Delta f = \frac{f_0}{Q_e} \sqrt{\frac{P_i}{P_0}}$$

【 0 0 0 5 】ここで、 $f_0$  は発振器の自由発振周波数、 $Q_e$  は発振器の外部  $Q$ 、 $P_0$  は発振出力、 $P_i$  は注入信号電力である。 $Q_e$  を小さくするほど、また、 $P_i$  を大きくするほど引込周波数範囲が広がる。例えば、 $P_i : P_0 = 1 : 10$ 、 $Q_e = 1$ 、 $f_0 = 5 \text{ GHz}$  とすれば  $\Delta f$  が  $1580 \text{ MHz}$  となり、かつ、発振出力の周波数安定度および位相雑音は注入信号のそれに等しい。さらに、この注入同期現象は発振周波数のサブハーモニック ( $f_0 / n$  :  $n$  は整数) を注入しても同様に成り立つ。なぜならば、発振器の非線形性が  $f_0$  成分を発生させるからである。

【 0 0 0 6 】図 6 は従来の、かつ基本的な注入同期発振器の例であって、サーキュレータ 101 の一端子 102 に発振回路 105 を接続し、サーキュレータ端子 103 より発振出力を取り出す構成の発振器において、第 3 番目のサーキュレータ端子 104 に外部強制信号を入力して注入同期を行なうものである。矢印はサーキュレータの信号伝達方向を示し、この方向性（非可逆性）によって端子間を分離している。発振回路には、導波管短絡面からある距離に負性抵抗ダイオードを配置して共振させる構造や、ストリップ線路を共振用に用いる構造などが

ある。

【0007】図7は方向性結合回路と増幅器とを組み合わせた注入同期発振器の例であって、方向性結合回路111の端子112から信号を注入するとして、通過端子113とアイソレーション端子115との間に図のように増幅器116を接続している。図中の実線および破線の矢印はそれぞれ端子112、115から見た信号伝達経路を示し、非可逆性ではない。ここで、方向性結合器の端子115と端子113は増幅器から見て結合端子であり、増幅器116の入出力間に帰還回路を形成し、この帰還ループの位相回りが360度となる周波数で増幅器が結合度以上の利得を有する時発振を生じる。この発振器に端子112から信号を入力すると端子113を介して該信号が発振器に注入され、発振周波数が注入信号のそれに引き込まれる。発振出力は端子115を介して端子114から取り出され、増幅器出力から見てアイソレーション端子となる端子112には原理的に現われない。

【0008】しかし、方向性結合器が非可逆性でないため、外部回路の影響を受けやすいという欠点がある。

【0009】サブハーモニック注入同期発振器では、フィルタ機能を有する回路構成によって注入信号経路と発振周波数経路とを分離していた。

【0010】

【発明が解決しようとする課題】従来の注入同期発振器は、注入信号と発振器部とを分離するために非可逆性のサーキュレータや方向性結合器を使用するため、フェライトディスクの直径・厚みあるいは1/4波長線路に起因する動作周波数帯域制限が存在した。その帯域は中心周波数の10%ないし50%程度である。したがって、サブハーモニック周波数（発振周波数fの $1/n$ ： $n=2, 3, 4, \dots$ ）の注入信号には同期できなかった（できたとしても設計に考慮できない複雑なパスが非可逆回路内に存在し設計性がない）。また、サーキュレータ型ではフェライト素子を使用するためIC化が困難であった。方向性結合器型では方向性結合器寸法が周波数に反比例するため10GHz以下では形状が大きくIC化に適さなかった。さらに、発振器ループと信号注入端子または発振出力端子とが電氣的に分離されていないため、注入同期発振器に接続される外部回路の影響があった。

【0011】一方、サブハーモニック注入同期を行なう従来の例では、フィルタ機能を有する回路構成によって注入信号経路と発振周波数経路とを分離せざるを得なかったため、サブハーモニック係数nが限定されると同時に基本波（ $n=1$ ）への同期ができなかった。

【0012】本発明は従来の技術の上記欠点を改善するもので、その目的は1/4波長線路やフェライトを用いずに、半導体素子のみで構成可能で、外部回路の影響をうけず、広い周波数範囲の注入信号に同期可能な注入同期発振器を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するための本発明の特徴は、第1及び第2の入力端子と第1及び第2の出力端子を有し、第1の入力端子から第1の出力端子及び第2の出力端子への信号伝達が非可逆的であり、第2の入力端子から第1の出力端子及び第2の出力端子への信号伝達が非可逆的であり、第1の入力端子と第2の入力端子の間及び第1の出力端子と第2の出力端子の間は電氣的にアイソレートされた非可逆4端子回路と、前記第1の出力端子に輸入端を接続し、前記第2の入力端子に出力端を接続する、前記4端子回路の動作周波数帯域の少なく共一部の帯域で動作する増幅器とを有し、前記第1の入力端子に注入信号を入力し、前記第2の出力端子から発振出力を得る注入同期発振器にある。

【0014】ひとつの変形例によると、複数の出力端を有し注入信号を受容する出力分岐増幅器を有し、各出力端を各々別の注入同期発振器の前記第1の入力端子に接続する。

【0015】好ましい実施例によると、前記非可逆4端子回路が4個の非可逆増幅器を有し、各々、第1の入力端子と第1の出力端子の間、第1の入力端子と第2の出力端子の間、第2の入力端子と第1の出力端子の間、及び第2の入力端子と第2の出力端子の間に挿入される。なお、上記非可逆増幅器の利得は1以下でもさしつかえない。

【0016】別の好ましい実施例によると、前記非可逆4端子回路が4個のゲート接地FETを有し、第1のゲート接地FETのソースと第2のゲート接地FETのソースとを前記第1の入力端子に接続し、第3のゲート接地FETのソースと第4のゲート接地FETのソースとを前記第2の入力端子に接続し、第1のゲート接地FETのドレインと第3のゲート接地FETのドレインとを前記第2の出力端子に接続し、第2のゲート接地FETのドレインと第4のゲート接地FETのドレインとを前記第1の出力端子に接続する。

【0017】別の好ましい実施例によると、前記増幅器は可変利得増幅器である。

【0018】

【作用】以上のように構成することにより、非可逆なトランジスタの利用が可能になり、かつトランジスタの広帯域性によって $n=1$ の基本波および $n=2, 3, 4, \dots$ のサブハーモニックに対して4端子回路の動作が保持されるため、サブハーモニック係数nの値を自由に設定可能な注入同期発振器を実現できる。

【0019】上記構成によれば、4端子回路の1入力端子（2）に加わる増幅器雑音出力は該4端子回路の2つの出力端子（3, 4）に分配出力され、出力端子3から出力される信号は増幅器・遅延線路に輸入され、増幅された後、該4端子回路の入力端子2に輸入される。したがって、増幅器の入出力端子間に外部帰還回路が形成さ

れるため、ループ利得が1以上で位相回りが360度となる周波数で自由発振が励起される。この時、入力端子1からの入力信号は出力端子3を介して発振器ループに注入されるが、発振器ループ内の電氣的挙動は、該4端子回路における入力分配部の非可逆性および入力端子間アイソレーションにより入力端子1には伝達しない。また、出力端子間アイソレーションにより、出力端子4に接続される外部回路または負荷の影響は発振器ループに伝達しない。ここで述べた非可逆性はトランジスタによって超広帯域（例えば、DCからトランジスタのカットオフ周波数まで）にかつ容易に実現できる。トランジスタで構成できるということは、形状が周波数に依存せず、かつ1C化が容易である。また、分岐増幅器を追加すると注入信号を他の注入同期発振器にも供給して全ての発振器を同期させることが可能になる。また、この構成によれば、形状の大きな受動多分岐回路等を使用せずに注入信号の分配が可能になる。

【0020】

【実施例】

【基本構成】図1は本発明の一実施例である非可逆4端子

$$V_{out} = \frac{V_{in} + V_r}{2} = \frac{1}{2 - Ae^{-j\theta}}$$

$$= \frac{V_{in}}{\sqrt{(2 - A\cos\theta)^2 + (A\sin\theta)^2}} \left/ \tan^{-1} \left\{ \frac{A\sin\theta}{2 - A\cos\theta} \right\} \right.$$

【0023】となる。 $V_{out}/V_{in}$ が無限大の時ループ2-3-5-6は発振状態となり、この時、

$$2 - A\cos\theta = 0$$

$$A\sin\theta = 0$$

であるから、 $A=2$ 、 $\theta=0, \pi, 2\pi, \dots$ である。つまり、 $A$ が2以上で $\theta$ が $\pi$ （ラジアン）の整数倍付近となるように増幅器・遅延線路を設計すれば2-3-4-5-2のループにおいて発振が立ち上がり、発振レベルの上昇に伴い増幅器利得 $A$ が抑圧され、 $A=2$ で発振が安定する。

【0024】ここで、4端子回路10の上記の動作が任意の周波数において成り立つとすれば、端子1より高安定・低位雑音の信号を入力するとその1/2が端子3を介して増幅器11に入力され、発振中の増幅器の非線形性によって高調波が生じる。この高調波が上記発振周波数付近の場合には該発振周波数と高調波とによるうなりを生じ、これが零となるように状態が変化して注入信号に同期した発振状態となる。発振出力は端子2を介して端子4に出力され、4端子回路の非可逆性により信号入力端子1には現れない。したがって、端子1が不整合の状態であったとしても発振出力の一部が端子1で反射されて該発振ループに再注入されることがない。また同様に、端子4での反射波は他のどの端子にも現れないの

子結合回路を用いた注入同期発振器の基本構成図である。

【0021】図1において、10は非可逆性の4端子回路であって、1は第1の入力端子、2は第2の入力端子、3は第1の出力端子、4は第2の出力端子である。端子1より入力した信号は端子3及び4にのみ分配され、端子2より入力した信号は端子3及び4にのみ分配され、端子1-2間および端子3-4間には信号の伝達はない（アイソレートされている）。図中の矢印は該信号伝達の様子を示す。11は電圧利得 $A$ 、移相量 $\theta$ の増幅器（または増幅器と遅延線路の従属接続）で、5と6はそれぞれ入力端子、出力端子である。増幅器の入力端子5は4端子回路の端子3に接続され、増幅器の出力端子6は4端子回路の端子2に接続されている。ここで仮に、端子1または端子2からの入力信号が端子3および4に対して電圧比1/2で同相分配されるとすると、図1の回路は図2となる。図2中の $V_{in}$ は入力信号電圧、 $V_r$ は増幅器出力である。これより、出力電圧 $V_{out}$ は

【0022】

【数2】

で再注入されない。つまり、外部回路の影響を受けにくい構成である。

【0025】なお、非可逆性4端子回路10は、例えば、図の4つの矢印の部分为非可逆の増幅器とすることにより実現することができる。このとき、増幅器の利得は必ずしも1以上でなくともよく、1以下でもさしつかえない。

【0026】なお、該4端子回路の非可逆性がほぼ任意の周波数について成立するようにできることは第1の実施例で示す。

【0027】

【第1の実施例】図3は本発明の第1の実施例である注入同期発振器の回路構成であり、21、22、31、32はそれぞれゲート接地FET、20および30はゲート接地FET2つを図のように組み合わせた同相分配回路である。また、図3において上述の図面と同一のものについては同一の符号を付している。ここで、トランジスタとして電界効果トランジスタを用いているので、Sはソース、Dはドレイン、Gはゲートを表す。

【0028】同相分配回路20および30はよく知られているように、次の動作をする。FETの相互コンダクタンスを $g_m$ とすると、同相分配回路入力端子23（33）の反射係数 $S_{11}$ は

7

$S_{11} = (1 - 2gmZ_o) / (1 + 2gmZ_o)$   
 で与えられ、 $gm$ が $1 / (2Z_o)$  ( $Z_o$ は系のインピーダンス)の時0となり、端子23(33)での整合が得られる。端子23(33)から入力された信号は回路の対称性により出力端子24(34)、25(35)へ同相で分配される。端子23(33)から端子24(34)、25(35)への分配度 $S_{21}$ 、 $S_{31}$ は  
 $|S_{21}| = |S_{31}| = 2gmZ_o / (1 + 2gmZ_o)$ で与えられる。端子23(33)が整合している場合には $1/2$ である。一方、端子24(34)、25(35)から端子23(33)への信号の伝達はFETの非可逆性により阻止され、したがって、出力端子24(34)、25(35)間の信号伝達が阻止される。

【0029】つまり、 $|S_{12}| = |S_{13}| = 0$ である。さらに、上述の分配回路20、30及びこれらを組合せた非可逆4端子回路10は、論文“Very Small Ultra-Wide-Band MMIC Magic T and Applications to Combiners and Dividers”(T.Tokumitsu et al., IEEE Trans., vol.MTT-37, no.12,1989)にデータで示されているようにDC-18GHzにおいて $|S_{11}|$ 、 $|S_{12}|$ 、 $|S_{13}| < -20dB$ を実現でき、実際の応用において上記動作原理を満足している。ここで、使用しているFETのカットオフ周波数が20ないし23GHzであることから、上記の分配回路20、30及び非可逆4端子回路10は概ねトランジスタのカットオフ周波数まで動作するといえる。

【0030】上述したような非可逆4端子回路は能動逆相分配回路(差動増幅器や特許出願公開 平3-158008: マイクロ波周波数通倍器)や能動マジックT(特許出願公開 平2-58902: 180度ハイブリッド回路)を用いても実現できるが、基本的に動作は同じである。

【0031】以上を踏まえて4端子回路10では、端子24(34)および端子25(35)に出力した信号はそれぞれ端子4(3)、端子3(4)に伝達され、端子4(3)から端子1(2)、2(1)、3(4)への伝達は該分配回路の非可逆性により阻止される。また、各分配回路の出力端子インピーダンスは非常に高いから、端子3および4には分配回路で分配される信号がそのまま伝達する。したがって、図1、図2の中の4端子回路10に設定した信号経路が任意の周波数で(広帯域に)成立する。この非可逆4端子回路と増幅器11とを図3のように組み合わせることにより、 $n=1$ の基本波および $n=2, 3, 4 \dots$ のサブハーモニックに対して同期する注入同期発振器を実現することができる。

【0032】以上分配回路の分配比を1:1として説明したが、先に説明したように発振を生じさせる条件はループ2-3-5-6-2の利得が1以上であるから、分配回路30の分配比が1:1である必要はない。また、4端子回路のパス1-4は上記注入同期の動作とは直接

8

関係しないため必ずしも必要ではない。さらに、上記の構成によりトランジスタ回路のみで(または主体に)実現でき、 $1/4$ 波長線路等の分布定数回路を必要としないので、比較的小さなチップサイズで半導体IC化あるいはマイクロ波IC化が容易に実現できる。これにより周波数変換器および上述のIC化注入同期発振器を同一パッケージ内に一緒に実装できると共に、両ICとも小さなチップで構成されるのでパッケージも小さくて済み汎用品が使用できる等の経済性が生じるという利点がある。また、ループ内増幅器11の動作帯域内周波数およびその整数分の1の周波数の信号に対して同期し、これによって高安定・低位相雑音の信号を発生させることができるので、上記の周波数変換器・注入同期発振器ICモジュールに組み合わせる注入信号発生用ICを自由に選択することができる。注入信号発生用ICとして例えば自動車電話用シンセサイザを用いればわずか2つのパッケージICで簡易に構成できるという利点がある。電圧制御発振器、分岐回路、周波数分周器、位相比較器、低域通過フィルタといった多くのパッケージICを使用するPLL発振器に比べて簡易であり経済的である。

#### 【0033】

【第2の実施例】図4は本発明の第2の実施例である注入同期発振器の回路構成であり、40は第1の実施例の注入同期発振器、44は1入力2出力の出力分岐増幅器、41は注入信号入力端子、42は発振出力端子、43は注入信号が増幅されて後に分岐出力される分岐端子である。本構成によれば、増幅器44により端子41に注入する信号レベルを低減することができるだけでなく、注入した信号レベルより大きなレベルの信号を端子43に取り出すことができるので、これを次段の注入同期発振器に注入して同期帯域幅を劣化させることなく同期させることができる。したがって、複数の同種の注入同期発振器を1つの注入信号源に対して同期させることができる。また、従来はウィルキンソンディバイダを組み合わせた並列多分岐回路により注入信号を分岐して複数の注入同期発振器を同期していたため全体を2次元的に構成せざるを得ない欠点があったが、本構成によれば注入信号の経路を直列に(直線的に)構成でき、複数の注入同期発振器の配列を1次元的にも2次元的にも、さらには3次元的にもできる利点がある。また、分岐増幅器の出力端子間および出力から入力への信号伝達は一般に阻止されるので、各注入同期発振器は互いに独立である。さらに、分岐増幅器44の動作周波数は注入同期発振器40のその整数分の1でよいために分岐増幅器44および上述の注入信号経路を比較的低い周波数帯で構成できる。

【0034】図5は本発明の注入同期発振器複数個を直線的に配置した例である。図4と対応する端子は同一の符号を付す。注入信号源50から第1番目の注入同期発振器51に高安定・低位相雑音な低レベル信号が入力さ

10

20

30

40

50



れて51を同期し、端子43から次段の注入同期発振器52に同品質の信号を注入して52を同期し、以下同様に後続の注入同期発振器を同期する。注入同期発振器間のどの点に上述のような構成を接続してもよいので、従来の並列多分岐回路を用いた場合のような画一的な配置に制約されない。また、注入同期発振器間の注入信号経路に適当な移相器または遅延線路を挿入すれば出力信号間に有益な位相関係を発生させることができる。しかも、同一の移相量を有する移相器または遅延線路で種々の位相差が実現できる。

#### 【0035】

【他の実施例】以上の実施例において、電界効果トランジスタのかわりにバイポーラトランジスタを用いてもよい。また、実施例ではゲート接地FETを用いているが、これに限らず他の接地形式（ドレイン接地又はソース接地）を用いてもよい。ソース接地の場合には分配回路20および30が利得を有するので、増幅器11の利得は必ずしも1以上である必要はない。

#### 【0036】

【発明の効果】以上詳述したように本発明によれば、2つの入力端子と2つの出力端子とを有し、該入力端子と該2つの出力端子間の信号伝達が非可逆的で、かつ、該入力端子間および該出力端子間が電氣的にアイソレートされた非可逆4端子回路を具備し、該4端子回路の動作周波数帯域内の一部帯域で動作する増幅器を具備し、該4端子回路の1つの出力端子と1つの入力端子との間に該増幅器を接続し、他の入力端子を注入信号の入力端子、他の出力端子を発振出力端子としたので、また、上記の注入同期発振器の注入信号入力端子に出力分岐増幅器の1出力端子を接続し、該分岐増幅器の入力端子を新たに注入信号の入力端子としたので、注入同期発振器および縦続接続可能な注入同期発振器を構成することができる。

【0037】本発明は、トランジスタのみで、又はトランジスタ主体で構成できるので、1/4波長線路やフェライトを用いる必要がなくIC化して非常に小さく実現することができる。また、トランジスタの非可逆性により自由発振を行なう部分と信号注入端子と発振出力端子とが互いに分離されているので、外部に接続される回路や負荷の影響を受けにくくすることができる。また、トランジスタの広帯域性によって非常に広い周波数範囲の注入信号に対して同期されることができるので、サブハーモニック係数 $n$ を自由に選択することができる。これによって、市販のシンセサイザ等と組み合わせて非常に簡易で経済的な局部発振器を構成することができる。また、注入信号のレベルを増幅し、かつ分岐する機能により、注入信号レベルを低下させることなく次段の注入同期発振器に注入できるので、同期周波数範囲を狭めることなく複数の注入同期発振器を同時に同期することがで

きる。また、各同期発振器間に位相を一定量ずらす移相器を挿入することにより発振器間に有益な位相関係を実現できるので、アレーアンテナ構造による空間電力合成などを可能にする。ここで、発振器を直線的にも平面的にもさらには立体的にも配置できるので、アレーアンテナのビーム形成の自由度を著しく向上できる。また、自由発振を生じさせるループに増幅器を有しているので、該増幅器を可変利得増幅器とすることによりループ利得を1以上または1以下に制御でき、これにより発振をON/OFFでき、周波数切り替えやホッピング機能の実現に応用できる。

#### 【図面の簡単な説明】

【図1】本発明の実施例である注入同期発振器の基本構成を示す回路図である。

【図2】本発明の実施例である注入同期発振器の基本構成を示す回路図である。

【図3】本発明の注入同期発振器を電界効果トランジスタを用いて構成した回路図である。

【図4】本発明の上記の注入同期発振器に注入信号分配機能を付加した構成の回路図である。

【図5】本発明の注入同期発振器を縦続接続した構成例である。

【図6】サーキュレータを用いた従来の注入同期発振器の回路図である。

【図7】受動方向性結合器を用いた従来の注入同期発振器の回路図である。

#### 【符号の説明】

1, 2, 3, 4, 5, 6 端子

10 非可逆4端子回路

11 増幅器または可変利得増幅器

20, 30 ゲート接地FET分配回路

21, 22, 31, 32 ゲート接地FET

23, 24, 25, 33, 34, 35 端子

40 本発明第1実施例の注入同期発振器

41, 42, 43 端子

44 分岐増幅器

50 注入信号源

51, 52, 53, 54 本発明第2実施例の注入同期発振器

101 サーキュレータ

102, 103, 104 端子

105 発振器

111 方向性結合器

112, 113, 114, 115 端子

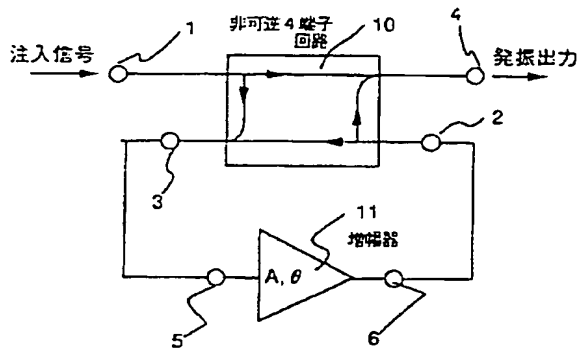
116 増幅器

S ソース

D ドレイン

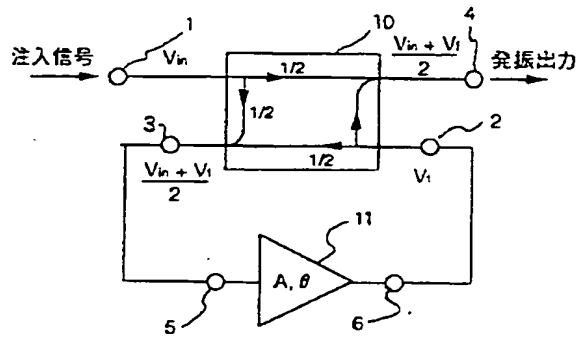
G ゲート

【図 1】



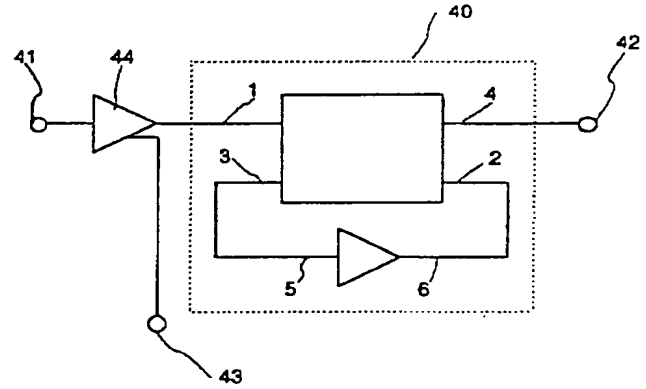
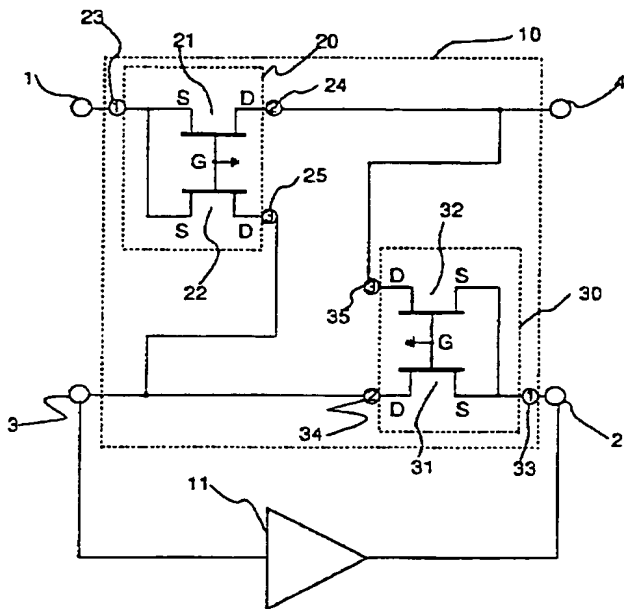
本発明の基本構成図

【図 2】

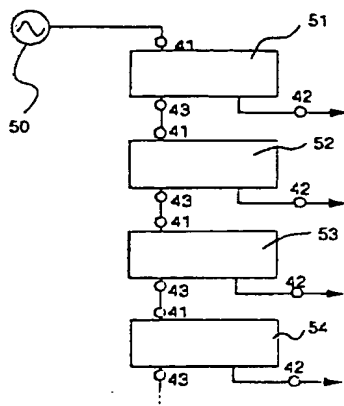


【図 4】

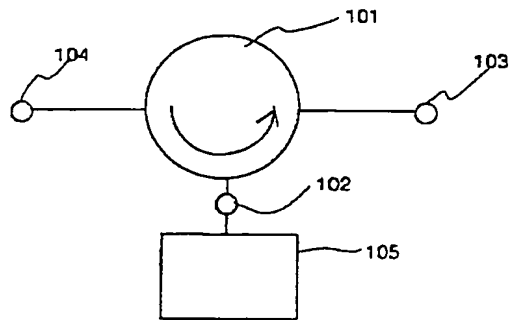
【図 3】



【図 5】



【図 6】



従来の技術

A schematic diagram of a differential signal processing circuit. Two input lines, 112 and 114, enter a central differential element 111 from the top. The outputs of this element are lines 113 and 115, which are connected to a differential amplifier 116. A dashed box highlights the central differential element 111.

## 従来の技術

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**